Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе**

**Дисциплина**: Схемотехника операционных устройств

**Тема**: Задание временных требований и анализ задержек комбинаторных цепей вход/выход FPGA.

Вариант-5

Выполнил студент гр. 23531/5 \_\_\_\_\_\_\_\_\_\_\_\_И.Д. Иванов

(подпись)

Преподаватель \_\_\_\_\_\_\_\_\_\_\_\_А.С. Филиппов

(подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2019 г.

Санкт-Петербург

2019

1. **Цели работы**

- Применение средств задания временных требований к комбинаторным цепям проекта между входными и выходными выводами;

- Анализ результатов синтеза проекта с заданными временными требованиями к комбинаторным I/O цепям средствами Timing Quest Timing Analyzer.

1. **Выполнение работы**

Проект для данной лабораторной работы был создан для FPGA минимальной логической емкости и заданной градации быстродействия семейства Cyclone IV(7, в соответствии с индивидуальным заданием). В качестве модели для исследования используется схема с четырехразрядным комбинационным сумматором (Рис.1).

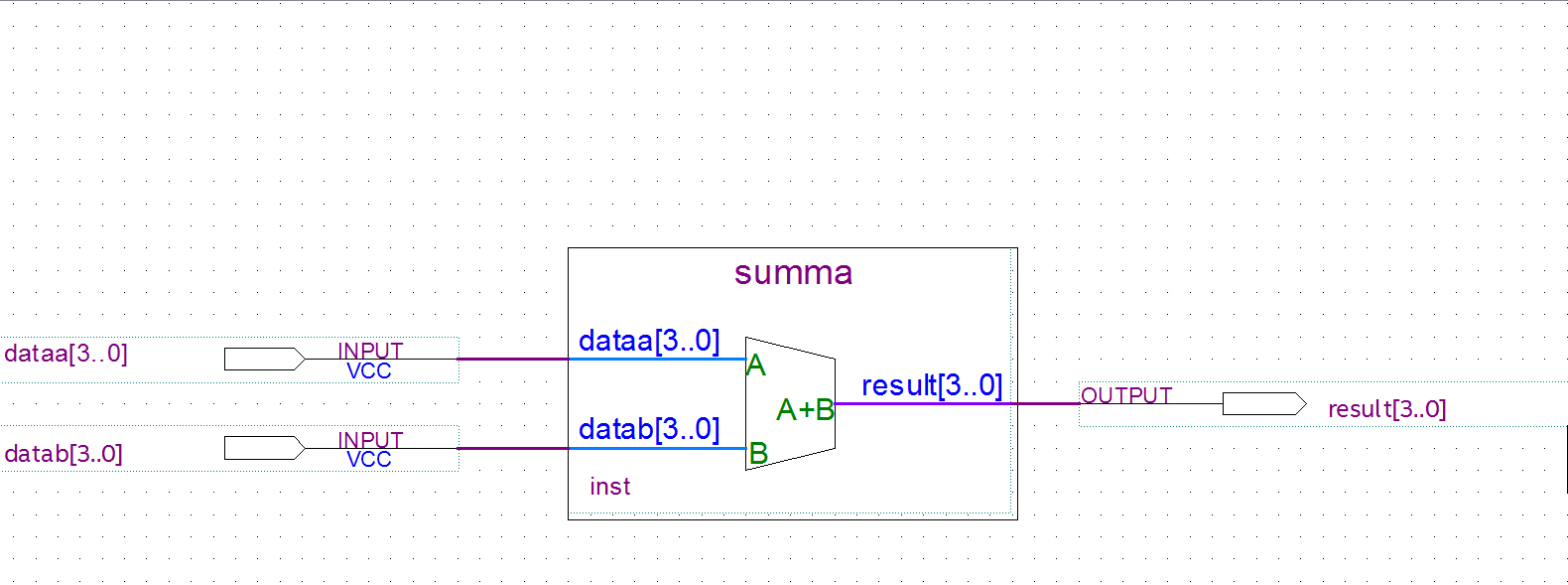


Рис.1.

Выполнен анализ и синтез для получения Post-map списка соединений проекта; создан нетлист.

Представленные временным анализатором результаты занесены в Табл.1. и также показаны на Рис.2-3.

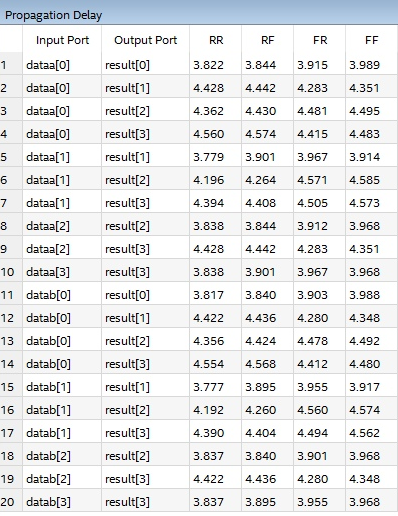


Рис.2.

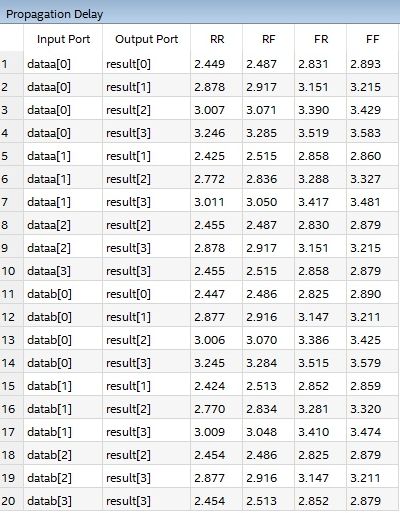


Рис.3.

Произведены назначения выводов и заданы основные опции для выходов result[3..0], после чего была выполнена полная компиляция. Представленные временным анализатором результаты (Рис.4-5. были занесены в Табл.2.

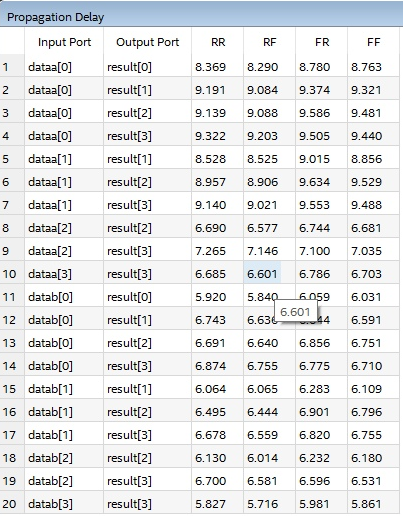


Рис.4.

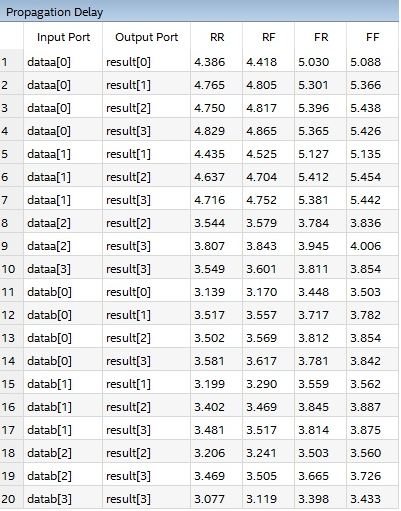


Рис.5.

Задержки ввода-вывода, использованные компилятором, приведены на Рис.6.

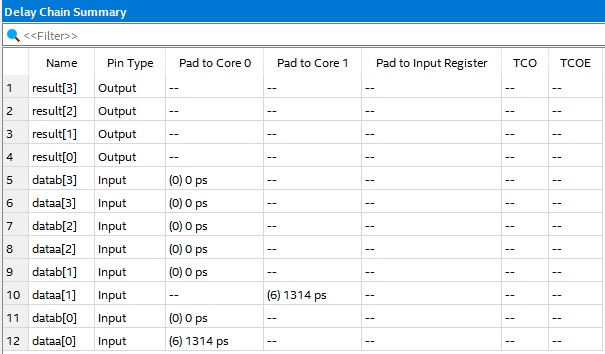


Рис.6.

Расположение используемого элемента задержки можем видеть на Рис.7.

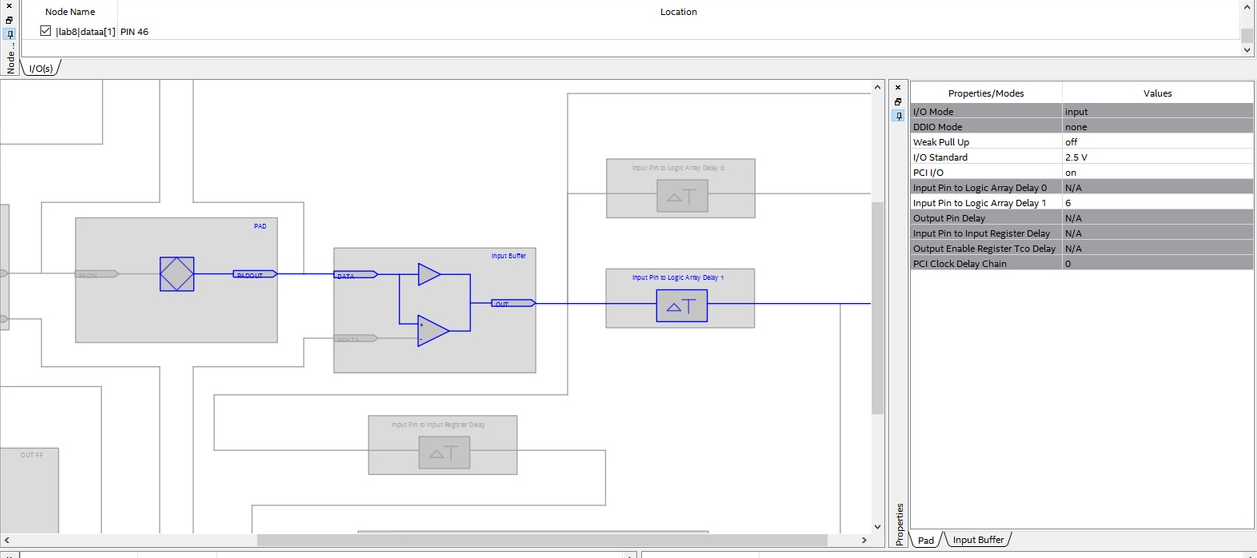


Рис.7.

Далее были установлены максимальная и минимальная задержки. После выполнения компиляции, представленные временным анализатором результаты (Рис.8-9. были занесены в Табл.3).

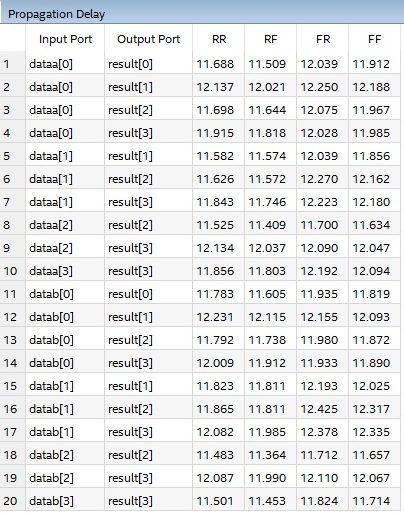


Рис.8.

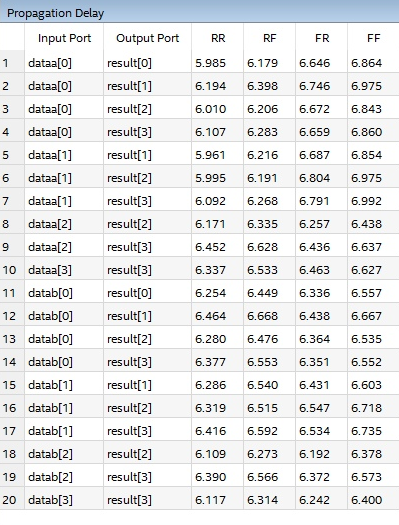


Рис.9.

Минимальный допуск на максимальную задержку для Slow 85C Model можем видеть на Рис.10.

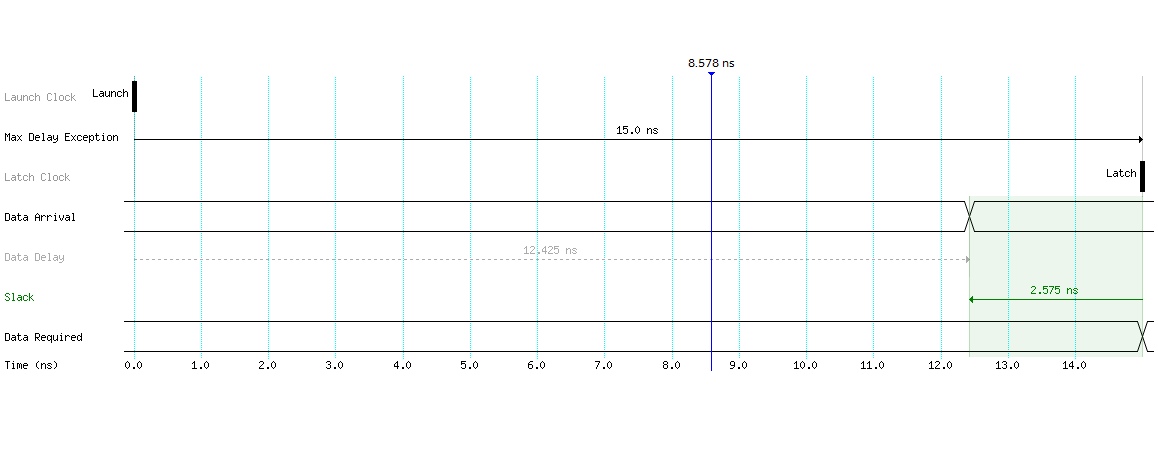
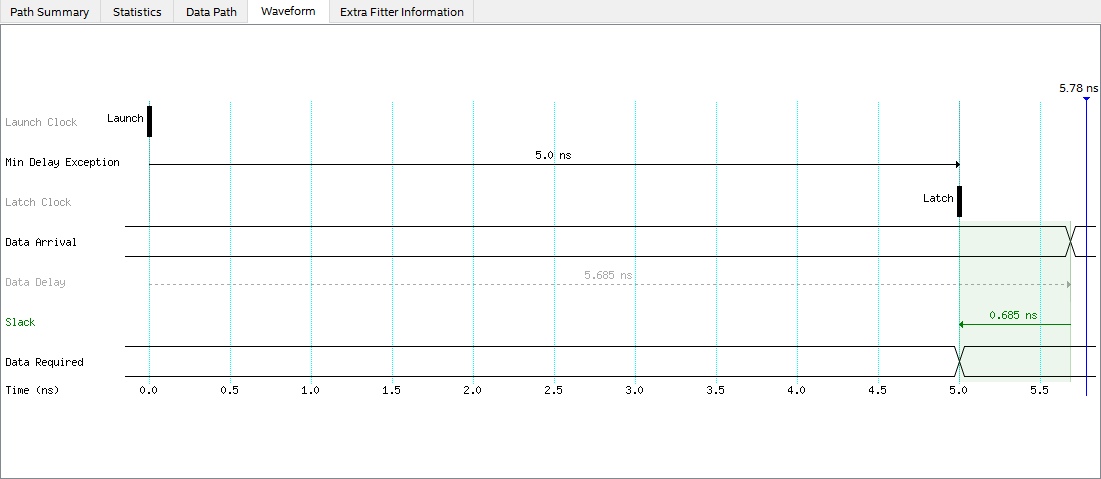


Рис.10.

Минимальный допуск на минимальную задержку для Fast 0C Model можем видеть на Рис.11.



Экспериментальная максимальная задержка меньше допуска, а минимальная – больше.

Табл.1

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Используемая модель | Оценка достижимых временных характеристик. **Post-map Netlist** | | | | | | |
| Input port | Output port | RR | RF | FR | FF | delta tmax path |
| Slow 85C  Максимальная задержка RR | dataa[0] | result[3] | 4.560 | 4.574 | 4.415 | 4.483 | 0.159 |
| Slow 85C  Минимальная задержка RR | datab[1] | result[1] | 3.777 | 3.895 | 3.955 | 3.917 | 0.178 |
| Fast 0C  Максимальная задержка RR | dataa[0] | result[3] | 3.246 | 3.285 | 3.519 | 3.583 | 0.337 |
| Fast 0C  Минимальная задержка RR | datab[1] | result[1] | 2.424 | 2.513 | 2.852 | 2.859 | 0.435 |
| Максимальный разброс delta t для разных моделей RR |  |  |  |  |  |  | 0.555 |
| Максимальный разброс delta tmaxPort для разных выходных портов и модели Slow 85C |  |  |  |  |  |  | 0.159 |

Табл.2

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Используемая модель | Оценка достижимых временных характеристик. **Post-map Netlist** | | | | | | |
| Input port | Output port | RR | RF | FR | FF | delta tmax path |
| Slow 85C  Максимальная задержка RR | dataa[0] | result[3] | 9.322 | 9.203 | 9.505 | 9.440 | 0.302 |
| Slow 85C  Минимальная задержка RR | datab[3] | result[3] | 5.827 | 5.716 | 5.981 | 5.861 | 0.265 |
| Fast 0C  Максимальная задержка RR | dataa[0] | result[3] | 4.829 | 4.865 | 5.365 | 5.426 | 0.597 |
| Fast 0C  Минимальная задержка RR | datab[3] | result[3] | 3.077 | 3.119 | 3.398 | 3.433 | 0.356 |
| Максимальный разброс delta t для разных моделей RR |  |  |  |  |  |  | 0.597 |
| Максимальный разброс delta tmaxPort для разных выходных портов и модели Slow 85C |  |  |  |  |  |  | 0.302 |

Табл.3

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Используемая модель | Оценка достижимых временных характеристик. **Post-map Netlist** | | | | | | |
| Input port | Output port | RR | RF | FR | FF | delta tmax path |
| Slow 85C  Максимальная задержка RR | datab[0] | result[1] | 12.231 | 12.115 | 12.155 | 12.093 | 0.138 |
| Slow 85C  Минимальная задержка RR | datab[2] | result[2] | 11.483 | 11.364 | 11.712 | 11.657 | 0.348 |
| Fast 0C  Максимальная задержка RR | datab[0] | result[1] | 6.464 | 6.668 | 6.438 | 6.667 | 0.230 |
| Fast 0C  Минимальная задержка RR | dataa[1] | result[1] | 5.961 | 6.216 | 6.687 | 6.854 | 0.893 |
| Максимальный разброс delta t для разных моделей RR |  |  |  |  |  |  | 0.893 |
| Максимальный разброс delta tmaxPort для разных выходных портов и модели Slow 85C |  |  |  |  |  |  | 0.348 |

Из таблицы видно, что задержки до задания временных требований были ниже, можно предположить, что увеличение задержек связано с некорректным заданием временных требований.

1. **Выводы**

В ходе данной работы с помощью средств TimeQuest Timing Analyzer к проекту были заданы определённые временные требования к комбинаторным цепям проекта, а также проведён временной анализ при заданных требованиях. Было выявлено, что некорректное задание временных требований может оказать негативное влияние на временные характеристики проекта.